

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-013594

(43)Date of publication of application : 22.01.1993

(51)Int.Cl.

H01L 21/90
H01L 21/28
H01L 21/3205

(21)Application number : 03-183785

(71)Applicant : NEC CORP

(22)Date of filing : 28.06.1991

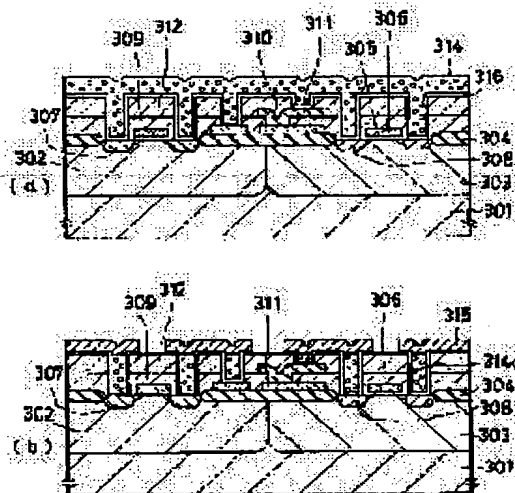
(72)Inventor : YANAGISAWA MASAYUKI
KOBAYASHI KEN

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To form a contact hole which is superior in reliability and robustness by filling a contact hole with material the same as an upper layer wiring.

CONSTITUTION: Impurity regions 307 and 308 are formed on the surface of a substrate, and lower layer wirings, that is, an n-type polycrystalline silicon layer 306 and a tungsten silicide layer 311 are formed on the substrate. First and second BPSG films 309 and 312 are further deposited on this substrate, and the second contact hole 2 are opened in the depositions. A polycrystalline silicon layer 314 in which the contact hole 2 is buried (see figure (a)), is then subjected to an etch back process, thereby producing a polycrystalline silicon plug 314a. An aluminum layer 315 is then formed on this assembly (see figure (b)). This assembly undergoes a heat process in a reducing atmosphere, so that aluminum and silicon are diffused into each other. Thus, the conductor and wiring layer inside the contact hole are composed of silicon-containing aluminum.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st conductor layer formed through the insulator layer on the diffusion layer formed in the front face of a semi-conductor substrate, or the semi-conductor substrate, In the semiconductor device with which the 2nd conductor layer which was formed on the wrap insulating layer in said diffusion layer or said 1st conductor layer, and which makes a metallic material a subject was formed in said insulating layer and to which the aspect ratio is connected through one or more contact holes The semiconductor device characterized by embedding said contact hole with the ingredient equivalent to the ingredient of said 2nd conductor layer.

[Claim 2] The semiconductor device according to claim 1 constituted with the ingredient with which said 2nd conductor layer makes aluminum a subject.

[Claim 3] The semiconductor device according to claim 1 or 2 with which the refractory metal thin film or the refractory metal compound thin film is formed in the side face of said contact hole, and the base of a contact hole under said 2nd conductor layer.

[Claim 4] The process which forms an insulating layer on the 1st conductor layer formed through the insulator layer on the diffusion layer formed in the semi-conductor substrate front face, or the semi-conductor substrate, The process at which a contact hole is formed in said insulating layer, and the front face of said diffusion layer or said 1st conductor layer is exposed, The said insulating-layer and layer top of said 1st ingredient with the 2nd ingredient which serves as a process which embeds the inside of said contact hole with the 1st ingredient from a metal A wrap process, The manufacture approach of a semiconductor device including the process which forms the 2nd conductor layer which consists of the 2nd ingredient which the 1st ingredient and 2nd ingredient are made to diffuse mutually, and contains the 1st ingredient by heat treatment.

[Claim 5] The manufacture approach of a semiconductor device according to claim 4 that said 1st ingredient is silicon and said 2nd ingredient is aluminum.

[Claim 6] The process which forms an insulating layer on the 1st conductor layer formed through the insulator layer on the diffusion layer formed in the semi-conductor substrate front face, or the semi-conductor substrate, The process at which a contact hole is formed in said insulating layer, and the front face of said diffusion layer or said 1st conductor layer is exposed, The process which covers said contact hole wall and a contact hole base with a refractory metal thin film or a refractory metal compound thin film on said insulating layer, The said refractory metal thin film or refractory metal compound thin film, and layer top of said 1st ingredient with the 2nd ingredient which serves as a process which embeds the inside of said contact hole with the 1st ingredient from a metal A wrap process, The manufacture approach of a semiconductor device including the process which forms the 2nd conductor layer which consists of the 2nd ingredient which the 1st ingredient and 2nd ingredient are made to diffuse mutually, and contains the 1st ingredient by heat treatment.

[Claim 7] The manufacture approach of a semiconductor device according to claim 6 that said 1st ingredient is silicon and said 2nd ingredient is aluminum.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.***** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor device which comes to connect between a diffusion layer or a wiring layer mutually through a contact hole especially, and its manufacture approach about a semiconductor device and its manufacture approach.

[0002]

[Description of the Prior Art] The conventional connection structure by the contact hole is explained with reference to drawing 5 thru/or drawing 7. The 1st conventional example forms n mold impurity range 507 in the field surrounded by the field oxide 504 of the front face of the p-type silicon substrate 501, as shown in drawing 5. The 1st BPSG (boron **** silicate glass) film 509 with a thickness of 0.4 micrometers is formed on it. After forming the tungsten silicide layer 511 with a thickness of 0.2 micrometers and the 2nd BPSG film 512 with a thickness of 0.5 micrometers on it, opening of the contact hole 513 with a diameter of 0.6 micrometers is carried out, and the aluminum layer 517 of 0.5 micrometers of thickness is formed by the sputtering method.

[0003] If the ratio of the depth to the diameter of a contact hole, i.e., an aspect ratio, becomes one or more, since step coverage (ratio of the thickness of the level difference section to the thickness on a flat surface) will become 0.1 or less and resistance with a contact hole will increase aluminum by the sputtering method, when an aspect ratio is large, this conventional example is not practical.

[0004] What is shown in drawing 6 and drawing 7 is the sectional view of the conventional example where the cure against step coverage was made, and the reference number with which double figures are common the bottom is given to the part which is common in drawing 5 in these drawings. In the example of drawing 6, after puncturing the contact hole 613 with a diameter of 0.6 micrometers, the tungsten plug 618 with a thickness of 0.4 micrometers is formed only in a contact hole with a selection CVD method, and the aluminum layer 619 of 0.5 micrometers of thickness is further formed by the sputtering method.

[0005] According to this approach, the aspect ratio of the contact hole on n mold impurity range 607 can be made small to about one, and can improve the step coverage of aluminum. However, if it is going to improve further and thickness of a selection CVD tungsten plug is thickened, since a selection CVD tungsten plug will rise and it will have a bad influence on micro processing in the contact hole of the shallower one, the improvement beyond this is not expectable.

[0006] In the example of drawing 7, after puncturing the contact hole 713, polycrystalline silicon with a thickness of 0.8 micrometers is uniformly formed with a CVD method, the polycrystalline silicon plaque 720 is alternatively formed in a contact hole by the etchback method, and the aluminum layer 721 is further formed by the spatter.

[0007] In this example, since an aspect ratio can be made or less into about 0.1 on one on n mold impurity range 707 and the tungsten silicide layer 711 of contact holes, the step coverage of aluminum is sharply improvable. in order [however,] to lower resistance to the polycrystalline silicon plug in a contact hole in this conventional example — the impurity of n mold or p mold — high concentration — it is necessary to dope — further — n mold impurity range top — n mold — p mold impurity range top — p mold — ** — since it is necessary to change and dope a conductivity type, there is a fault that a production process becomes complicated.

[0008]

[The technical problem which invention makes solution *****] In the 1st conventional example mentioned above, since step coverage fell, connection resistance with a contact hole became high, and it was easy to produce a disconnection fault, and there was a fault which worsens the dependability of a semiconductor device. Moreover, since the inside of a contact hole is not laid underground with a conductor, it will be

necessary to lay this underground and will be accompanied by difficulty on a process with the insulator formed in the upper part of wiring. Moreover, the limitation was in the improvement of an aspect ratio, and there were problems, like a process becomes complicated in the 2nd and 3rd conventional example.

[0009]

[Means for Solving the Problem] The 1st conductor layer formed through the insulator layer on the diffusion layer or semi-conductor substrate with which the semiconductor device of this invention was formed in the front face of a semi-conductor substrate, The 2nd conductor layer which was formed on the wrap insulating layer in said diffusion layer or 1st conductor layer and which makes a metallic material a subject It is characterized by connecting the aspect ratio formed in said insulating layer through one or more contact holes, and embedding said contact hole with the ingredient equivalent to the ingredient of said 2nd conductor layer. Here, aluminum is used for a metallic material.

[0010] Moreover, the process which forms an insulating layer on the 1st conductor layer formed through the insulator layer on the diffusion layer or semi-conductor substrate with which the manufacture approach was formed in the semi-conductor substrate front face, The process at which a contact hole is formed in said insulating layer, and the front face of said diffusion layer or said 1st conductor layer is exposed, The said insulating-layer and layer top of said 1st ingredient with the 2nd ingredient which serves as a process which embeds the inside of said contact hole with the 1st ingredient from a metal A wrap process, The process which forms the 2nd conductor layer which consists of the 2nd ingredient which the 1st ingredient and 2nd ingredient are made to diffuse mutually, and contains the 1st ingredient in high concentration by heat treatment is included. Here, polycrystalline silicon is used for the 1st ingredient and aluminum is used for the 2nd ingredient.

[0011]

[Example] Next, the example of this invention is explained with reference to a drawing. Drawing 1 is the sectional view showing the 1st example of this invention. (a) of drawing 2 and (b) are the process sectional views for explaining the production process. In order to manufacture this example, first, on the p-type silicon substrate 101, p mold and n mold impurity range are diffused alternatively, and the p well 102 and the n well 103 are formed. Next, field oxide 104 with a thickness of 0.5 micrometers, gate oxide 105 with a thickness of 20nm, and n mold polycrystalline silicon layer 106 with a thickness of 0.3 micrometers are formed alternatively, and sequential formation of n mold impurity range 107 and the p mold impurity range 108 is alternatively carried out with ion-implantation after that.

[0012] Next, after forming the 1st BPSG film 109 with a thickness of 0.4 micrometers and forming the 1st contact hole 110 with a diameter of 0.6 micrometers alternatively, the tungsten silicide layer 111 with a thickness of 0.2 micrometers is formed. Next, after forming the 2nd BPSG film 112 with a thickness of 0.5 micrometers and puncturing the 2nd contact hole 113 with a diameter of 0.6 micrometers alternatively, the polycrystalline silicon layer 114 with a thickness of 0.6 micrometers which lays the inside of the 2nd contact hole underground, and extends on the 2nd BPSG film 112 is formed [(a) of drawing 2].

[0013] Next, etchback of the polycrystalline silicon layer 114 is carried out, and polycrystalline silicon plaque 114a is alternatively formed in the 2nd contact hole 113. Next, the aluminum layer 115 with a thickness of 0.5 micrometers is formed by the sputtering method, and patterning of this is carried out [(b) of drawing 2].

[0014] Next, counter diffusion of the silicon in polycrystalline silicon plug 114a and the aluminum of the aluminum layer 115 is carried out by heat-treating in 450-degree C reducing atmosphere. It becomes the form where silicon was absorbed by aluminum by the quantitative difference between silicon and aluminum at this time, and aluminum layer 115a which contains silicon here at high concentration is generated, and as shown in drawing 1 , polycrystalline silicon plug 114a is permuted by generated silicon content aluminum layer 115a.

[0015] In addition, in the above-mentioned counter diffusion process, since the silicon contained in n mold impurity range 107, p mold impurity range 108, and n mold polycrystalline silicon layer 106 has counter diffusion with aluminum barred by existence of a high-concentration impurity, it does not absorb [aluminum].

[0016] Thus, the semiconductor device of the structure which laid the inside of the 2nd [on an impurity range or a lower layer wiring layer] contact hole underground with silicon content aluminum can be obtained by the very easy approach, and the dependability of a contact field can be raised by leaps and bounds, and formation of the insulator of the upper part of wiring can be made easy.

[0017] Drawing 3 is the sectional view showing the 2nd example of this invention, and (a) of drawing 4 and (b) are the process sectional views for explaining the manufacture approach. In drawing 3 and drawing 4 , the reference number with which double figures are common the bottom is given to a part equivalent to the part of the previous example shown by drawing 1 R> 1 and drawing 2 , and the duplicate explanation is omitted.

[0018] After forming the 2nd BPSG film 312 and puncturing the 2nd contact hole 313 alternatively as shown

in (a) of drawing 4 in order to manufacture this example, the polycrystalline silicon layer 314 with a thickness of 0.6 micrometers which lays the inside of the nitriding titanium layer 316 and the 2nd contact hole 313 with a thickness of 0.1 micrometers underground, and extends on the 2nd BPSG film 312 is formed. The process after this is the same as a previous example except for the point of also performing patterning of the nitriding titanium layer 316 to coincidence at the time of patterning of the aluminum layer 315.

[0019] In this example, in the counter diffusion process of the silicon of polycrystalline silicon plug 314a, and the aluminum of the aluminum layer 315, since the nitriding titanium layer 316 intervenes between polycrystalline silicon plug 314a, and impurity ranges 307 and 308 and n mold polycrystalline silicon layer 306, the counter diffusion between the silicon of these impurity ranges or a polycrystalline silicon layer and aluminum is prevented nearly completely. That is, the point of excelling as compared with the 1st example of this example is existence of nitriding titanium, and, thereby, its selectivity of the counter diffusion of silicon and aluminum is improving by leaps and bounds.

[0020] Although the desirable example was explained above, this invention is not limited to these examples and various alterations are possible for it. For example, after the counter diffusion of aluminum and silicon is completed, it may be made to perform patterning of the aluminum layers 115 and 315.

[0021]

[Effect of the Invention] In what connects a diffusion layer, a lower layer wiring layer, and the upper wiring layer through a contact hole, as explained above, since the inside of a contact hole is embedded with the same metallic material as the upper wiring layer, according to this invention, if the semiconductor device of this invention raises the dependability of the contact section by leaps and bounds, it can be *(ed), and can form the insulator layer of a good configuration in the upper part of the upper wiring layer easily.

[0022] Moreover, the manufacture approach of the semiconductor device of this invention lays the 1st ingredient underground beforehand in the contact hole. After forming the layer of the 2nd ingredient which consists of a metallic material for constituting the upper wiring on it Counter diffusion of the 1st ingredient and 2nd ingredient is carried out, and since the 2nd ingredient containing the 1st ingredient constitutes the conductor and wiring layer in a contact hole, reliable interlayer connection structure can be acquired by the very easy approach.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The sectional view showing the 1st example of this invention.

[Drawing 2] The process sectional view for explaining the production process of the 1st example of this invention.

[Drawing 3] The sectional view showing the 2nd example of this invention.

[Drawing 4] The process sectional view for explaining the production process of the 2nd example of this invention.

[Drawing 5] The sectional view of the 1st conventional example.

[Drawing 6] The sectional view of the 2nd conventional example.

[Drawing 7] The sectional view of the 3rd conventional example.

[Description of Notations]

101, 301, 501, 601, 701 — P-type silicon substrate 102 302 — p well, 103 303 — n well 104, 304, 504, 604, 704 — Field oxide, 105 305 — 106 Gate oxide, 306 — n mold polycrystalline silicon layer, 107, 307, 507, 607, 707 — n mold impurity range, 108 308 — p mold impurity range 109, 309, 509, 609, 709 — 1st BPSG film, 110 310 — 1st contact hole 111, 311, 511, 611, 711 — Tungsten silicide layer, 112, 312, 512, 612, 712 — 2nd BPSG film, 113 313 — 2nd contact hole 513, 613, 713 — Contact hole, 114 314 — Polycrystalline silicon layer 114a, 314a — Polycrystalline silicon plug, 115 315 — Aluminum layer 115a, 315a — Silicon content aluminum layer 316 [618 — A tungsten plug, 720 — Polycrystalline silicon plug.] — A nitriding titanium layer, 517, 619, 721 — Aluminum layer

[Translation done.]

(11)特許出願公開番号

特開平5-13594

(43)公開日 平成5年(1993)1月22日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/90	B	7353-4M		
21/28	3 0 1 R	7738-4M		
	C	7738-4M		
21/3205				
		7353-4M	H 0 1 L 21/ 88	N
			審査請求 未請求 請求項の数 7 (全 6 頁)	

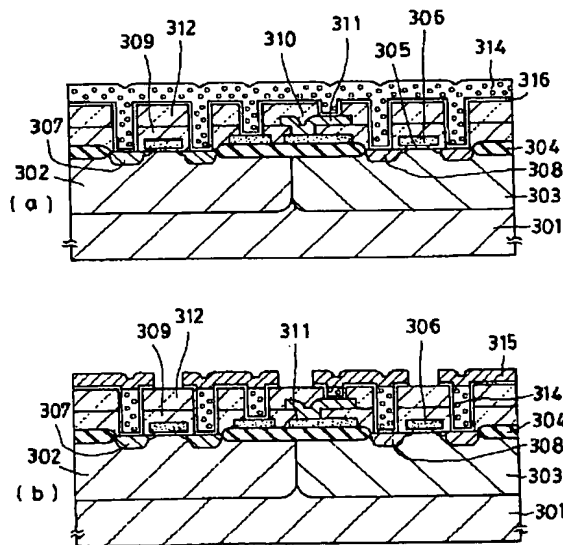
(21)出願番号	特願平3-183785	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成3年(1991)6月28日	(72)発明者	柳澤 正之 東京都港区芝5丁目7番1号 日本電気株式会社内
		(72)発明者	小林 研 東京都港区芝5丁目7番1号 日本電気株式会社内
		(74)代理人	弁理士 尾身 祐助

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 コンタクト孔内を上層配線の材料と同一の材料によって埋設するようにして、信頼性および平坦性の優れたコンタクトを形成する。

【構成】 不純物領域 307、308 が基板の表面に形成され、基板上に n 型多結晶シリコン層 306、タンゲステンシリサイド層 311 等の下層配線が形成されたものに第 1、第 2 の BPSG 膜 309、312 を被着し、第 2 のコンタクト孔 313 を開孔する。第 2 のコンタクト孔 313 を埋設する多結晶シリコン層 314 を形成し〔(a) 図〕、これをエッチバックして多結晶シリコンプラグ 314a を形成し、アルミニウム層 315 を形成する〔(b) 図〕。その後、還元性雰囲気中で熱処理を行って、アルミニウムとシリコンとを相互拡散させ、コンタクト孔内の導体および配線層をシリコン含有アルミニウムによって構成する。



314... 多結晶シリコン層
314a... 多結晶シリコンプラグ
315... アルミニウム層
316... 窒化チタニウム層

【特許請求の範囲】

【請求項1】 半導体基板の表面に形成された拡散層または半導体基板上に絶縁膜を介して形成された第1の導体層と、前記拡散層または前記第1の導体層を覆う絶縁層上に形成された、金属材料を主体とする第2の導体層とが、前記絶縁層に形成された、アスペクト比が1以上のコンタクト孔を介して接続されている半導体装置において、

前記コンタクト孔が前記第2の導体層の材料と同等の材料によって埋め込まれていることを特徴とする半導体装置。

【請求項2】 前記第2の導体層がアルミニウムを主体とする材料によって構成されている請求項1記載の半導体装置。

【請求項3】 前記第2の導体層の下、前記コンタクト孔の側面およびコンタクト孔の底面には、高融点金属薄膜または高融点金属化合物薄膜が形成されている請求項1または2記載の半導体装置。

【請求項4】 半導体基板表面に形成された拡散層または半導体基板上に絶縁膜を介して形成された第1の導体層上に絶縁層を形成する工程と、前記絶縁層にコンタクト孔を形成して前記拡散層または前記第1の導体層の表面を露出させる工程と、前記コンタクト孔内を第1の材料によって埋め込む工程と、前記絶縁層上および前記第1の材料の層上を金属からなる第2の材料で覆う工程と、熱処理によって第1の材料と第2の材料とを相互に拡散せしめて第1の材料を含有する第2の材料からなる第2の導体層を形成する工程と、を含む半導体装置の製造方法。

【請求項5】 前記第1の材料がシリコンであり、前記第2の材料がアルミニウムである請求項4記載の半導体装置の製造方法。

【請求項6】 半導体基板表面に形成された拡散層または半導体基板上に絶縁膜を介して形成された第1の導体層上に絶縁層を形成する工程と、前記絶縁層にコンタクト孔を形成して前記拡散層または前記第1の導体層の表面を露出させる工程と、前記絶縁層上、前記コンタクト孔内壁およびコンタクト孔底面を高融点金属薄膜または高融点金属化合物薄膜で被覆する工程と、

前記コンタクト孔内を第1の材料によって埋め込む工程と、

前記高融点金属薄膜上または高融点金属化合物薄膜上および前記第1の材料の層上を、金属からなる第2の材料で覆う工程と、

熱処理によって第1の材料と第2の材料とを相互に拡散せしめて第1の材料を含有する第2の材料からなる第2の導体層を形成する工程と、

を含む半導体装置の製造方法。

【請求項7】 前記第1の材料がシリコンであり、前記第2の材料がアルミニウムである請求項6記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置およびその製造方法に関し、特に、拡散層や配線層間をコンタクト孔を介して相互に接続してなる半導体装置およびその製造方法に関する。

【0002】

【従来の技術】コンタクト孔による従来の接続構造について、図5乃至図7を参照して説明する。第1の従来例は図5に示されるように、p型シリコン基板501の表面のフィールド酸化膜504で囲まれた領域にn型不純物領域507を形成し、その上に厚さ0.4μmの第1のBPSG（ほう素りんシリケートガラス）膜509を設け、その上に厚さ0.2μmのタングステンシリサイド層511および厚さ0.5μmの第2のBPSG膜512を形成した後、直径0.6μmのコンタクト孔513を開孔し、膜厚0.5μmのアルミニウム層517をスパッタリング法で形成したものである。

【0003】コンタクト孔の直径に対する深さの比率、即ちアスペクト比が1以上になると、スパッタリング法によりアルミニウムはステップカバレッジ（平面上の厚さに対する段差部の厚さの比）が0.1以下となってコンタクト孔での抵抗が増加するため、アスペクト比が大きい場合、この従来例は実用的ではない。

【0004】図6、図7に示すものは、ステップカバレッジ対策のなされた従来例の断面図であって、これらの図において、図5と共通する部分には下2桁が共通する参照番号が付されている。図6の例では、直径0.6μmのコンタクト孔613を開孔した後、選択CVD法によりコンタクト孔内のみに厚さ0.4μmのタングステンブラグ618を形成し、さらに膜厚0.5μmのアルミニウム層619をスパッタリング法で形成している。

【0005】この方法によれば、n型不純物領域607上のコンタクト孔のアスペクト比は1程度にまで小さくすることができ、アルミニウムのステップカバレッジを改善することができる。しかし、さらに改善しようとして選択CVDタングステンブラグの厚さを厚くすると、浅い方のコンタクト孔において、選択CVDタングステンブラグが盛り上がりてしまい微細加工に悪影響を及ぼしてしまうので、これ以上の改善は期待できない。

【0006】図7の例では、コンタクト孔713を開孔した後、CVD法により厚さ0.8μmの多結晶シリコンを一樣に形成し、エッチバック法によりコンタクト孔内に選択的に多結晶シリコンブラグ720を形成し、さらにスパッタ法により、アルミニウム層721を形成している。

【0007】この例では、n型不純物領域707上およびタングステンシリサイド層711上のいずれかのコンタクト孔上においてもアスペクト比を約0.1以下とすることができるため、アルミニウムのステップカバレッジを大幅に改善することができる。しかし、この従来例では、コンタクト孔内の多結晶シリコンプラグに抵抗を下げるためにn型またはp型の不純物を高濃度にドーピングする必要があり、さらにn型不純物領域上はn型に、p型不純物領域上はp型にと導電型を変えてドーピングする必要があるため、製造工程が煩雑になるという欠点がある。

【0008】

【発明が解決しようとする課題】上述した第1の従来例では、ステップカバレッジが低下するため、コンタクト孔での接続抵抗が高くなり、また断線事故も生じやすく、半導体装置の信頼性を悪化させる欠点があった。また、コンタクト孔内が導体によって埋設されないので、配線の上部に形成する絶縁体によってこれを埋設する必要が生じ、製法上に困難を伴う。また、第2、第3の従来例には、アスペクト比の改善に限界があったり工程が煩雑になる等の問題があった。

【0009】

【課題を解決するための手段】本発明の半導体装置は、半導体基板の表面に形成された拡散層または半導体基板上に絶縁膜を介して形成された第1の導体層と、前記拡散層または第1の導体層を覆う絶縁層上に形成された、金属材料を主体とする第2の導体層とが、前記絶縁層に形成された、アスペクト比が1以上のコンタクト孔を介して接続されたものであって、前記コンタクト孔が前記第2の導体層の材料と同等の材料によって埋め込まれていることを特徴としている。ここで、金属材料には例えばアルミニウムが用いられる。

【0010】また、その製造方法は、半導体基板表面に形成された拡散層または半導体基板上に絶縁膜を介して形成された第1の導体層上に絶縁層を形成する工程と、前記絶縁層にコンタクト孔を形成して前記拡散層または前記第1の導体層の表面を露出させる工程と、前記コンタクト孔内を第1の材料によって埋め込む工程と、前記絶縁層上および前記第1の材料の層上を金属からなる第2の材料で覆う工程と、熱処理によって第1の材料と第2の材料とを相互に拡散せしめて第1の材料を高濃度に含有する第2の材料からなる第2の導体層を形成する工程と、を含んでいる。ここで、第1の材料には例えば多結晶シリコンが、第2の材料には例えばアルミニウムが用いられる。

【0011】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1は、本発明の第1の実施例を示す断面図である。図2の(a)、(b)はその製造工程を説明するための工程断面図である。本実施例を製造するに

は、まずp型シリコン基板101上に選択的にp型およびn型不純物領域を拡散してpウェル102およびnウェル103を形成する。次に、選択的に厚さ0.5μmのフィールド酸化膜104、厚さ20nmのゲート酸化膜105、厚さ0.3μmのn型多結晶シリコン層106を形成し、その後イオン注入法により選択的にn型不純物領域107およびp型不純物領域108を順次形成する。

【0012】次に、厚さ0.4μmの第1のBP SG膜109を形成し、選択的に直径0.6μmの第1のコンタクト孔110を形成した後、厚さ0.2μmのタングステンシリサイド層111を形成する。次に、厚さ0.5μmの第2のBP SG膜112を形成し、選択的に直径0.6μmの第2のコンタクト孔113を開孔した後、第2のコンタクト孔内を埋設しかつ第2のBP SG膜112上に延在する厚さ0.6μmの多結晶シリコン層114を形成する〔図2の(a)〕。

【0013】次に、多結晶シリコン層114をエッチバックして第2のコンタクト孔113内に選択的に多結晶シリコンプラグ114aを形成する。次に、厚さ0.5μmのアルミニウム層115をスパッタリング法で形成し、これをバターニングする〔図2の(b)〕。

【0014】次に、450℃の還元雰囲気中で熱処理を施すことによって、多結晶シリコンプラグ114a中のシリコンとアルミニウム層115のアルミニウムとを相互拡散せしめる。このときシリコンとアルミニウムの量的な違いによりシリコンがアルミニウムに吸収された形になり、ここに、シリコンを高濃度に含有するアルミニウム層115aが生成され、図1に示すように多結晶シリコンプラグ114aは生成されたシリコン含有アルミニウム層115aによって置換される。

【0015】なお、上記相互拡散工程において、n型不純物領域107、p型不純物領域108、n型多結晶シリコン層106の中に含まれるシリコンは、高濃度の不純物の存在によってアルミニウムとの相互拡散を妨げられるためにアルミニウムに吸い込まれることはない。

【0016】このようにして不純物領域や下層配線層上の第2のコンタクト孔内をシリコン含有アルミニウムで埋設した構造の半導体装置を極めて容易な方法で得ることができ、コンタクト領域の信頼性を飛躍的に向上させかつ配線の上部の絶縁体の形成を容易にすることができる。

【0017】図3は、本発明の第2の実施例を示す断面図であり、図4の(a)、(b)はその製造方法を説明するための工程断面図である。図3、図4において、図1、図2で示された先の実施例の部分と同等の部分には下2桁が共通する参照番号を付し、重複した説明は省略する。

【0018】本実施例を製造するには、図4の(a)に示されるように、第2のBP SG膜312を形成し、選

択的に第2のコンタクト孔313を開孔した後、厚さ0.1 μ mの窒化チタニウム層316と第2のコンタクト孔313内を埋設して第2のBPSG膜312上に延在する厚さ0.6 μ mの多結晶シリコン層314を形成する。これ以降の工程は、アルミニウム層315のパターニング時に同時に窒化チタニウム層316のパターニングも行う点を除き、先の実施例と同様である。

【0019】本実施例においては、多結晶シリコンブラグ314aのシリコンとアルミニウム層315のアルミニウムとの相互拡散工程において、多結晶シリコンブラグ314aと不純物領域307、308、n型多結晶シリコン層306との間には窒化チタニウム層316が介在しているため、これら不純物領域や多結晶シリコン層のシリコンとアルミニウムとの間の相互拡散はほぼ完全に阻止される。即ち、本実施例の第1の実施例と比較して優れている点は、窒化チタニウムの存在であり、これにより、シリコンとアルミニウムの相互拡散の選択性が飛躍的に向上している。

【0020】以上好ましい実施例について説明したが、本発明はこれら実施例に限定されるものではなく、種々の改変が可能である。例えばアルミニウム層115、315のパターニングは、アルミニウムとシリコンとの相互拡散が終了した後に行うようにしてもよい。

【0021】

【発明の効果】以上説明したように、本発明の半導体装置は、拡散層や下層配線層と上層配線層とをコンタクト孔を介して接続するものにおいて、コンタクト孔内が上層の配線層と同一の金属材料によって埋め込まれたものであるため、本発明によれば、コンタクト部の信頼性を飛躍的に向上させることができ、また上層配線層の上部に容易に良好な形状の絶縁膜を形成することができる。

【0022】また、本発明の半導体装置の製造方法は、コンタクト孔内に予め第1の材料を埋設しておき、その上に上層配線を構成するための金属材料からなる第2の材料の層を形成した後、第1の材料と第2の材料とを*

*相互拡散せしめ、コンタクト孔内の導体および配線層を第1の材料を含有した第2の材料によって構成するものであるため、極めて容易な方法により信頼性の高い層間接続構造を得ることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を示す断面図。

【図2】 本発明の第1の実施例の製造工程を説明するための工程断面図。

【図3】 本発明の第2の実施例を示す断面図。

【図4】 本発明の第2の実施例の製造工程を説明するための工程断面図。

【図5】 第1の従来例の断面図。

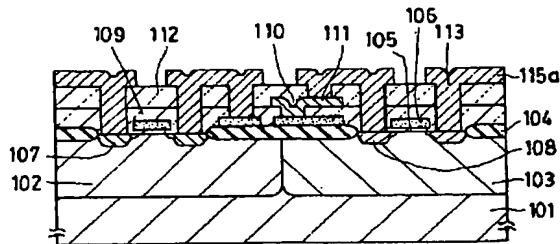
【図6】 第2の従来例の断面図。

【図7】 第3の従来例の断面図。

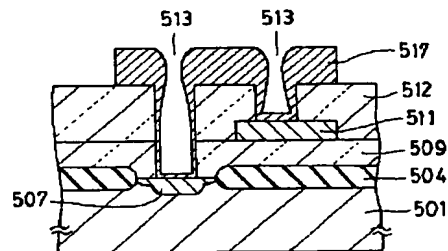
【符号の説明】

101、301、501、601、701…p型シリコン基板、102、302…pウェル、103、303…nウェル、104、304、504、604、704…フィールド酸化膜、105、305…ゲート酸化膜、106、306…n型多結晶シリコン層、107、307、507、607、707…n型不純物領域、108、308…p型不純物領域、109、309、509、609、709…第1のBPSG膜、110、310…第1のコンタクト孔、111、311、511、611、711…タングステンシリサイド層、112、312、512、612、712…第2のBPSG膜、113、313…第2のコンタクト孔、513、613、713…コンタクト孔、114、314…多結晶シリコン層、114a、314a…多結晶シリコンブラグ、115、315…アルミニウム層、115a、315a…シリコン含有アルミニウム層、316…窒化チタニウム層、517、619、721…アルミニウム層、618…タングステンブラグ、720…多結晶シリコンブラグ。

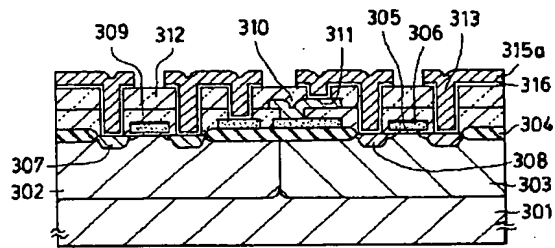
【図1】



【図5】

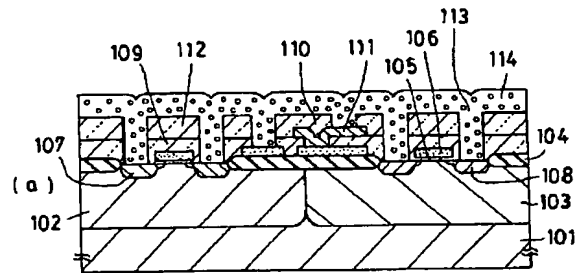


【図3】



- 101.301---p型シリコン基板
102.302---pウェル
103.303---nウェル
104.304---フィールド酸化膜
105.305---ゲート酸化膜
106.306---n型多結晶シリコン層
107.307---n型不純物領域
108.308---p型不純物領域
109.309---第1のBPSG膜
110.310---第1のコンタクト孔
111.311---タングステンシリサイド層
112.312---第2のBPSG膜
113.313---第2のコンタクト孔
115a.315a---シリコン含有アルミニウム層
316---窒化チタニウム層

【図2】

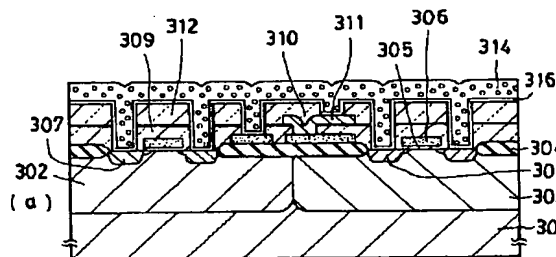


(a)

(b)

- 114---多結晶シリコン層
114a---多結晶シリコンプラグ
115---アルミニウム層

【図4】

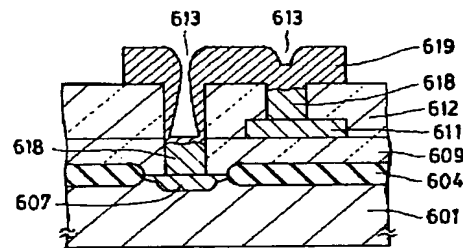


(a)

(b)

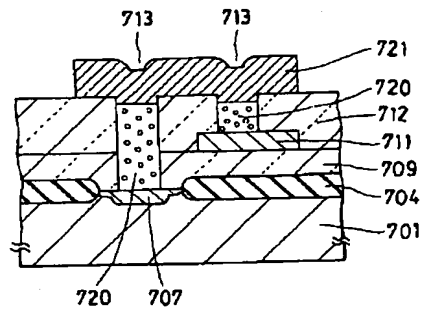
- 314---多結晶シリコン層
314a---多結晶シリコンプラグ
315---アルミニウム層
316---窒化チタニウム層

【図6】



- 501.601---p型シリコン基板
504.604---フィールド酸化膜
507.607---n型不純物領域
509.609---第1のBPSG膜
511.611---タングステンシリサイド層
512.612---第2のBPSG膜
513.613---コンタクト孔
517---アルミニウム層
618---タングステンプラグ
619---アルミニウム層

【図7】



- 701…p型シリコン基板
- 704…フィールド酸化膜
- 707…n型不純物領域
- 709…第1のBPSG膜
- 711…タングステンシサイド層
- 712…第2のBPSG膜
- 713…コンタクト孔
- 720…多結晶シリコンプラグ
- 721…アルミニウム層

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.